



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 36726 호
Application Number PATENT-2001-0036726

출원년월일 : 2001년 06월 26일
Date of Application JUN 26, 2001

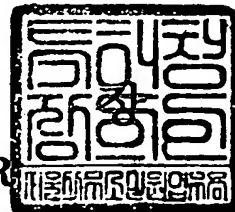
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 11 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0015
【제출일자】 2001.06.26
【발명의 명칭】 코드 저장 메모리 셀 제조 방법
【발명의 영문명칭】 Method of manufacturing a code address memory cell

【출원인】

【명칭】 (주)하이닉스 반도체

【출원인코드】 1-1998-004569-8

【대리인】

【성명】 신영무

【대리인코드】 9-1998-000265-6

【포괄위임등록번호】 1999-003525-1

【발명자】

【성명의 국문표기】 김점수

【성명의 영문표기】 KIM, Jum Soo

【주민등록번호】 720111-1224814

【우편번호】 467-866

【주소】 경기도 이천시 부발읍 아미리 148-1 현대아파트
105-104

【국적】 KR

【발명자】

【성명의 국문표기】 정성문

【성명의 영문표기】 JUNG, Sung Mun

【주민등록번호】 671121-1109122

【우편번호】 469-860

【주소】 경기도 여주군 가남면 신해리 630번지 현진 에버빌
103-1403

【국적】 KR

【발명자】

【성명의 국문표기】 조민국
【성명의 영문표기】 CH0,Min Kuck
【주민등록번호】 691110-1657215
【우편번호】 467-050
【주소】 경기도 이천시 안흥동 주공아파트 117-1505
【국적】 KR

【발명자】

【성명의 국문표기】 이영복
【성명의 영문표기】 LEE,Young Bok
【주민등록번호】 711203-1109713
【우편번호】 467-860
【주소】 경기도 이천시 부발읍 응암리 97 이화아파트 101-201
【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
 신영무 (인)

【수수료】

【기본출원료】 16 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 코드 저장 메모리(Code Address Memory; CAM) 셀 제조 방법에 관한 것으로, 플래쉬 메모리 셀의 플로팅 게이트와 콘트롤 게이트 사이의 산화막과 절화막이 적층된 유전체막을 코드 저장 메모리 셀의 반도체 기판과 게이트 사이의 게이트 절연막으로 사용함으로써 낮은 동작 전압에서도 안정적으로 동작할 수 있어 별도의 부스팅 회로의 사용이 필요하지 않아 주변 회로 영역의 면적을 감소시킬 수 있고, 리페어한 데이터를 안정적인 확보할 수 있는 코드 저장 메모리 셀 제조 방법에 관한 것이다.

【대표도】

도 4

【색인어】

CAM 셀, ONO막, 적층 게이트 절연막

【명세서】

【발명의 명칭】

코드 저장 메모리 셀 제조 방법{Method of manufacturing a code address memory cell}

【도면의 간단한 설명】

도 1은 일반적인 CAM 셀 회로도.

도 2는 메인 셀과 CAM 셀로 동시에 사용되는 일반적인 플래쉬 메모리 셀의 단면도.

도 3은 플래쉬 메모리 셀의 캐패시턴스를 나타낸 등가 회로도.

도 4는 본 발명에 따른 CAM 셀의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

11 및 21 : 반도체 기판 12 : 터널 산화막

13 : 제 1 폴리실리콘막 14 : 유전체막

15 : 제 2 폴리실리콘막 16 및 24 : 소오스 영역

17 및 25 : 드레인 영역 22 : 게이트 절연막

22A : 제 1 산화막 22B : 질화막

22C : 제 2 산화막 23 : 폴리실리콘막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 코드 저장 메모리(Code Address Memory: 이하 CAM 이라 함) 셀 제조 방법에 관한 것으로, 특히 플래쉬 메모리 셀의 유전체막으로 사용되는 산화막과 질화막의 적층 절연막을 게이트 산화막으로 사용하는 CAM 셀 제조 방법에 관한 것이다.

<13> 플래쉬 메모리 소자의 비휘발 특성을 이용하여 반도체 메모리 소자에서 제조 회사의 ID나 일련 번호등을 저장하는 용도로 플래쉬 메모리 셀을 이용하고 있다. 또한, 플래쉬 메모리 소자에서 일반 사용자에게 의한 정보 삭제 방지등의 목적으로 보호되어야 할 정보, 즉 코드 정보등이 저장된 특정 메모리 영역을 보호하기 위한 보호(protection) 및 비보호(unprotection) 정보를 저장하기 위해 도 1에 도시된 바와 같은 CAM 셀 회로를 주변 회로 영역에 삽입하게 된다.

<14> 상기와 같은 목적으로 사용되는 CAM 셀은 일반적으로 리페어 데이터 또는 보호 기능을 목적으로 사용하게 되며, 이 정보는 정상 독출 동작(normal read operation)을 수행할 때 전원 전압(Vcc)에서도 CAM 셀의 데이터가 쉽게 독출되어

야 한다. 그러나, CAM 셀은 메인 셀로도 사용되는 플래쉬 메모리 셀이 사용되고 있다.

<15> 메인 셀 뿐만 아니라 CAM 셀로도 사용되는 플래쉬 메모리 셀의 제조 방법도 2를 이용하여 설명하면 다음과 같다. 먼저, 반도체 기판(11) 상부에 터널 산화막(12) 및 제 1 폴리실리콘막(13)을 형성한 후 이들을 패터닝하여 플로팅 게이트를 형성한다. 전체 구조 상부에 유전체막(14) 및 제 2 폴리실리콘막(15)을 형성한다. 유전체막(14)으로는 일반적으로 제 1 산화막, 질화막 및 제 2 산화막이 적층된 ONO막이 사용된다. 그리고, 제 2 폴리실리콘막(15)부터 터널 산화막(12)까지의 소정 영역을 패터닝하여 플로팅 게이트와 콘트롤 게이트가 적층된 스택 게이트를 형성한다. 이후 불순물 이온 주입 공정을 실시하여 반도체 기판(11) 상에 소오스 영역(16) 및 드레인 영역(17)을 형성한다.

<16> 상기와 같은 플래쉬 메모리 셀은 플로팅 게이트에 전하를 충전(charging) 또는 디스차징(discharging)하여 셀을 프로그램 또는 소거한다. 이러한 플래쉬 메모리 셀의 프로그램, 소거 또는 플래쉬 메모리 셀의 상태를 알아내기 위한 독출 동작을 수행하기 위해서는 소정의 전압을 인가해야 한다. 즉, 도 3의 등가 회로에 도시된 바와 같이 콘트롤 게이트 전압(V_{CG}), 소오스 전압(V_S), 기판 전압(V_B) 및 드레인 전압(V_D)을 플래쉬 메모리 셀의 각 동작을 위해 각각 다르게 인가해야 한다.

<17> 상기와 같은 플래쉬 메모리 셀은 약 10년간의 정보 저장을 위해 터널 산화막과 유전체막을 일정 두께 이상으로 유지해야 하는데, 고집적의 차세대 반도체 소자에서는 셀의 수직 축소를 이루기 어렵다. 따라서, 셀의 정보 저장 능력을 감

안하면 터널 산화막 및 유전체막을 얇게 형성하기 어려워 셀의 전류 증가는 어렵게 된다. 결국, 전원 전압으로는 메인 셀의 정보를 독출하기 어렵기 때문에 워드라인 부스팅 회로등을 사용하여 셀의 게이트 전압을 승압시켜 셀 정보를 독출하는 것이 일반적이다. 그러나 주변 회로에 위치하는 CAM 셀의 경우에는 이러한 승압 전압을 사용하기 위한 별도의 부스팅 회로를 삽입해야 하기 때문에 주변 회로 영역의 면적이 증가하는 문제점을 가질 뿐만 아니라 정보를 읽어내기 위한 별도의 시간이 요구되어 시간 지연 없이 동작해야 하는 소자의 성능 측면에서 문제점이 있다.

<18> 또한, 이러한 플래쉬 메모리 셀의 각 구조 사이에 캐패시턴스가 발생된다. 즉, 콘트롤 게이트와 플로팅 게이트 사이의 캐패시턴스(C_g), 플로팅 게이트와 소오스 사이의 캐패시턴스(C_s), 플로팅 게이트와 반도체 기판 사이의 캐패시턴스(C_b) 및 플로팅 게이트와 드레인 사이의 캐패시턴스(C_d)가 발생된다. 이러한 플래쉬 메모리 셀의 정보를 독출하기 위해서는 전체 캐패시턴스(C_t)에 대한 콘트롤 게이트와 플로팅 게이트 사이의 캐패시턴스(C_g)의 비인 커플링비가 약 0.55 정도 요구되는데, 이에 의해 셀의 컨덕턴스(G_m)가 저하된다. 그로 인해 메인 셀과 같은 약 2.0V의 문턱 전압으로는 콘트롤 게이트 전압으로 사용되는 메모리 소자의 동작 전압이 낮아지면서 셀 전류가 급격히 줄어들게 되어 임의의 셀 정보를 독출하기 어렵기 때문에 부득이하게 과도한 셀 소거를 통해 셀 문턱 전압을 약 0V 이하로 낮추어 CAM 셀의 데이터 센싱을 가능하게 한다.

<19> 그러나, 종래의 방식으로는 셀이 과도하게 소거되어 고온이나 고전압등의 여러가지 열악한 동작 환경에서는 셀의 누설 전류등으로 인해 장시간의 정보 저

장에 문제를 야기할 수 있다. 또한, 이러한 CAM 셀의 경우 매뉴얼 테스트(manual test)를 실시할 때 오류로 인하여 초기 상태로 다시 돌아가면 다시 전압을 낮추어야 하므로 시간적으로 많은 손실을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명의 목적은 낮은 전압에서 동작되어 부스팅 회로의 추가에 따른 주변 회로 영역의 면적 증가 및 지연 시간 없이 소자를 동작시킬 수 있는 CAM 셀 제조 방법을 제공하는데 있다.

<21> 본 발명의 다른 목적은 CAM 셀의 매뉴얼 테스트를 실시할 때 초기 상태의 재설정 없이 필요없고 안정적으로 데이터를 확보할 수 있는 CAM 셀 제조 방법을 제공하는데 있다.

<22> 본 발명의 또다른 목적은 플래쉬 메모리 셀에서 유전체막으로 사용되는 ONO 막을 게이트 산화막으로 사용함으로써 상기한 문제점을 해결할 수 있는 CAM 셀 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<23> 본 발명에 따른 CAM 셀 제조 방법은 반도체 기판 상부에 산화막과 질화막을 다수 적층시킨 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상부에 폴리실리콘막을 형성하는 단계와, 상기 폴리실리콘막 및 상기 게이트 절연막의 소정 영역을 식각하여 게이트를 형성하는 단계와, 불순물 이온 주입 공정을 실시하

여 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

<24> 또한, 본 발명에 따른 CAM 셀 제조 방법은 반도체 기판상의 소정 영역에 소자 분리막을 형성하여 액티브 영역 및 소자 분리 영역을 확정하는 단계와, 소정의 공정을 통해 상기 액티브 영역을 셀 영역과 주변 회로 영역으로 확정하는 단계와, 전체 구조 상부에 터널 산화막 및 제 1 폴리실리콘막을 형성한 후 상기 셀 영역의 소정 영역에만 잔류하도록 패터닝하여 플로팅 게이트를 확정하는 단계와, 전체 구조 상부에 산화막과 질화막이 적층된 절연막을 형성한 후 제 2 폴리실리콘막을 형성하는 단계와, 상기 셀 영역 및 상기 주변 회로 영역의 소정 영역에만 잔류하도록 제 2 폴리실리콘막 및 상기 절연막을 패터닝하여 상기 셀 영역에는 콘트롤 게이트를 형성하고, 상기 주변 회로 영역에는 게이트를 형성하는 단계와, 상기 반도체 기판의 소정 영역에 불순물 이온 주입 공정을 실시하여 소오스 영역 및 드레인 영역을 형성함으로써 상기 셀 영역에는 플래쉬 메모리 셀이 제조되고 상기 주변 회로 영역에는 코드 저장 메모리 셀이 제조되는 단계를 포함하여 이루어진 것을 특징으로 한다.

<25> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

<26> 도 4는 본 발명에 따른 CAM 셀 제조 방법을 설명하기 위해 도시한 소자의 단면도이다.

<27> 반도체 기판(21) 상부에 산화막과 질화막이 적층된 게이트 절연막(22)을 형성한다. 예를들어, 게이트 절연막(22)은 제 1 산화막(22A), 질화막(22B) 및 제 2 산화막(22C)을 적층하여 형성한다. 이러한 게이트 절연막(22)은 플래쉬 메모리 셀 제조 공정에서는 플로팅 게이트와 콘트롤 게이트 사이에 형성되는 유전체막으로 사용되는 것이다. 여기서, 게이트 절연막(22)은 30~300Å의 범위에서 그 두께를 조절하여 형성하는데, 예를들어 3중 구조의 게이트 절연막(22)은 제 1 산화막(22A), 질화막(22B) 및 제 2 산화막(22C) 각각을 10~100Å의 두께로 형성한다. 한편, 제 1 산화막(22A), 질화막(22B) 및 제 2 산화막(22C)의 적층 구조 뿐만 아니라 제 1 산화막, 제 1 질화막, 제 2 산화막 및 제 2 질화막의 적층 구조, 그리고 제 1 산화막, 제 1 질화막, 제 2 산화막, 제 2 질화막 및 제 3 산화막등의 적층 구조를 이용하여 게이트 절연막(22)을 형성할 수 있다. 그리고, 게이트 절연막(22) 상부에 폴리실리콘막(23)을 형성한 후 폴리실리콘막(23) 및 게이트 절연막(22)을 패터닝하여 게이트를 형성한다. 불순물 이온 주입 공정을 실시하여 반도체 기판(21)상에 소오스 영역(24) 및 드레인 영역(25)을 형성한다.

<28> 상기에서는 CAM 셀 제조 공정만을 설명하였으나, 플래쉬 메모리 소자 제조 공정에서 셀 영역에 플래쉬 메모리 셀이 제조될 때 주변 회로 영역의 일부에 CAM 셀이 제조되는 것이다. 그러므로, 플래쉬 메모리 셀과 CAM 셀 제조 공정을 연계하여 설명하면 다음과 같다.

<29> 반도체 기판상의 소정 영역에 소자 분리막을 형성하여 액티브 영역과 소자 분리 영역을 확정한다. 소정의 공정에 의해 액티브 영역은 셀 영역과 주변 회로

영역으로 확정된다. 셀 영역과 주변 회로 영역을 포함한 전체 구조 상부에 터널 산화막 및 제 1 폴리실리콘막을 형성한 후 셀 영역의 소정 부분을 노출시키는 마스크를 이용한 리소그래피 공정 및 식각 공정으로 제 1 폴리실리콘막 및 터널 산화막을 패터닝한다. 이에 의해 셀 영역에는 플로팅 게이트가 확정되며, 주변 회로 영역에 형성된 터널 산화막 및 제 1 폴리실리콘막은 완전히 제거된다. 전체 구조 상부에 산화막과 질화막을 적어도 2층 이상으로 적층한 절연막 형성한 후 제 2 폴리실리콘막을 형성한다. 셀 영역의 플로팅 게이트가 확정된 부분 및 주변 회로 영역의 소정 부분만을 노출시키는 마스크를 이용한 리소그래피 공정 및 식각 공정으로 셀 영역의 제 2 폴리실리콘막부터 터널 산화막까지를 패터닝하여 플로팅 게이트와 콘트롤 게이트가 적층된 스택 게이트를 형성한다. 이때, 주변 회로 영역은 제 2 폴리실리콘막 및 적층 절연막이 식각되어 게이트가 형성된다. 이후 불순물 이온 주입 공정을 실시하여 셀 영역 및 주변 회로 영역의 소정 영역에 소오스 및 드레인을 형성한다. 따라서, 셀 영역에는 플래쉬 메모리 셀이 제조되고, 주변 회로 영역에는 본 발명에 따른 CAM 셀이 제조된다. 여기서, 적층 절연막은 셀 영역에서는 플로팅 게이트와 콘트롤 게이트 사이의 유전체막으로 사용되고, 주변 회로 영역에는 반도체 기판과 게이트 사이의 게이트 산화막으로 사용된다.

【발명의 효과】

<30> 상술한 바와 같이 제조된 본 발명에 따른 CAM 셀은 플래쉬 메모리 셀의 유전체막을 게이트 산화막으로 사용함으로써 낮은 동작 전압에서도 안정적으로 동

작할 수 있어 별도의 부스팅 회로의 사용이 필요하지 않아 주변 회로 영역의 면적을 감소시킬 수 있다. 그리고, 종래의 CAM 셀은 재테스트를 실시할 때 UV 소거에 의해 CAM 셀이 모두 초기 상태로 변경되어 CAM 셀에 대한 조건을 다시 설정해야 하지만, 본 발명에 따른 CAM 셀은 재설정할 필요가 없다. 또한, 한번 리페어한 데이터의 경우 인위적으로 변경하기 전까지 아무런 변화가 없기 때문에 안정적인 데이터를 확보할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상부에 산화막과 질화막을 다수 적층시킨 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 상부에 폴리실리콘막을 형성하는 단계와,

상기 폴리실리콘막 및 상기 게이트 절연막의 소정 영역을 식각하여 게이트를 형성하는 단계와,

불순물 이온 주입 공정을 실시하여 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 게이트 절연막은 산화막 및 절연막을 적어도 2층 이상 적층시켜 형성하는 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 3】

제 1 항에 있어서, 상기 게이트 절연막은 30 내지 300Å의 두께로 형성하는 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 4】

제 1 항에 있어서, 상기 게이트 절연막은 제 1 산화막, 질화막 및 제 2 산화막을 적층시켜 형성하는 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 5】

제 1 항에 있어서, 상기 게이트 절연막은 제 1 산화막, 제 1 질화막, 제 2 산화막 및 제 2 질화막을 적층시켜 형성하는 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 6】

제 1 항에 있어서, 상기 게이트 절연막은 제 1 산화막, 제 1 질화막, 제 2 산화막, 제 2 질화막 및 제 3 산화막을 적층시켜 형성하는 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 7】

반도체 기판상의 소정 영역에 소자 분리막을 형성하여 액티브 영역 및 소자 분리 영역을 확정하는 단계와,

소정의 공정을 통해 상기 액티브 영역을 셀 영역과 주변 회로 영역으로 확정하는 단계와,

전체 구조 상부에 터널 산화막 및 제 1 폴리실리콘막을 형성한 후 상기 셀 영역의 소정 영역에만 잔류하도록 패터닝하여 플로팅 게이트를 확정하는 단계와,

전체 구조 상부에 산화막과 질화막이 적층된 절연막을 형성한 후 제 2 폴리실리콘막을 형성하는 단계와,

상기 셀 영역 및 상기 주변 회로 영역의 소정 영역에만 잔류하도록 제 2 폴리실리콘막 및 상기 절연막을 패터닝하여 상기 셀 영역에는 콘트롤 게이트를 형성하고, 상기 주변 회로 영역에는 게이트를 형성하는 단계와,

상기 반도체 기판의 소정 영역에 불순물 이온 주입 공정을 실시하여 소오스 영역 및 드레인 영역을 형성함으로써 상기 셀 영역에는 플래쉬 메모리 셀이 제조되고 상기 주변 회로 영역에는 코드 저장 메모리 셀이 제조되는 단계를 포함하여 이루어진 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 8】

제 7 항에 있어서, 상기 절연막은 산화막 및 절연막을 적어도 2층 이상 적층시켜 형성하는 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 9】

제 7 항에 있어서, 상기 절연막은 30 내지 300Å의 두께로 형성하는 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 10】

제 7 항에 있어서, 상기 절연막은 제 1 산화막, 질화막 및 제 2 산화막을 적층시켜 형성하는 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 11】

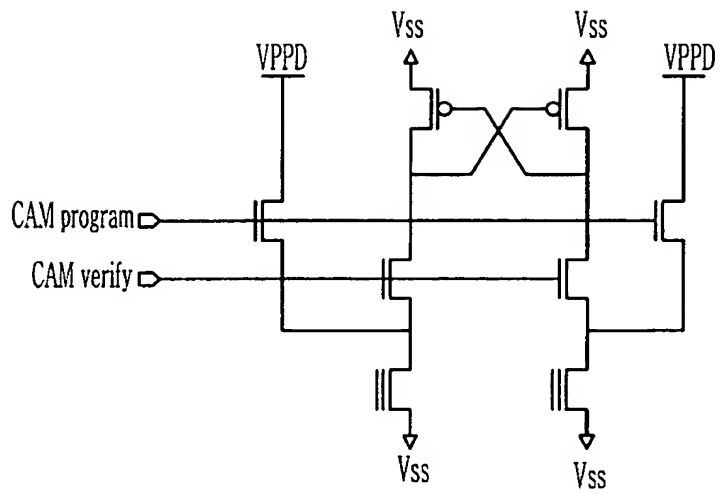
제 7 항에 있어서, 상기 절연막은 제 1 산화막, 제 1 질화막, 제 2 산화막 및 제 2 질화막을 적층시켜 형성하는 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【청구항 12】

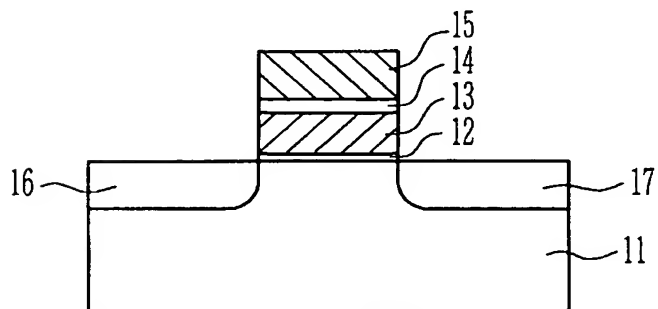
제 7 항에 있어서, 상기 절연막은 제 1 산화막, 제 1 질화막, 제 2 산화막, 제 2 질화막 및 제 3 산화막을 적층시켜 형성하는 것을 특징으로 하는 코드 저장 메모리 셀 제조 방법.

【도면】

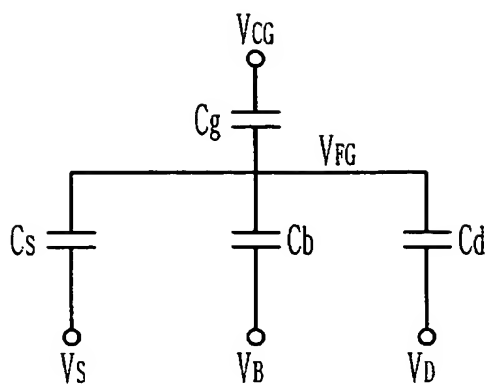
【도 1】



【도 2】



【도 3】



【도 4】

